

## MANUFACTURE OF SEMICONDUCTOR DEVICE

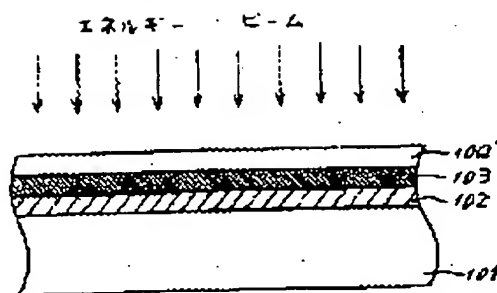
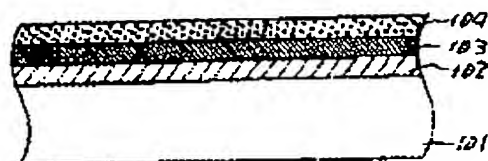
Patent number: JP58056316  
Publication date: 1983-04-04  
Inventor: SHIBATA KENJI; INOUE TOMOYASU; YOSHII SHINTAROU  
Applicant: TOKYO SHIBAURA ELECTRIC CO  
Classification:  
- International: H01L21/20; H01L21/02; (IPC1-7): H01L21/263; H01L27/12; H01L29/78  
- european: H01L21/20D  
Application number: JP19810153742 19810930  
Priority number(s): JP19810153742 19810930

Report a data error here

## Abstract of JP58056316

**PURPOSE:** To form the coarse grain polycrystalline or single crystal semiconductor of good quality on an insulated substrate as well as to contrive three dimensional integration of elements by a method wherein an annealing process is performed by continuously scanning and irradiating an energy beam on a semiconductor layer.

**CONSTITUTION:** An SiO<sub>2</sub> film 102 is formed as an insulating film on the surface of a single crystal silicon substrate 101 in p type (100) face direction. Then, an SiN film 103 is formed on the film 102. A polycrystalline silicon layer 104 is then coated on the SiN film 103. Then, a silicon layer 104 is annealed by irradiating an energy beam from above. The annealing is performed by scanning an electron beam in the direction of x axis only on a silicon substrate while performing a line shifting at regularly spaced steps in the right-angled direction of y axis, and then another annealing is performed in such a manner that the electron beam is scanned on the same part in the direction of y axis only, while performing a line shifting at regularly spaced steps in the direction of x axis.



Data supplied from the esp@cenet database - Worldwide

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭58-56316

⑫ Int. Cl.<sup>2</sup>

識別記号

庁内整理番号

⑬ 公開 昭和58年(1983)4月4日

H 01 L 21/20  
21/263  
27/12  
29/78

7739-5F  
6851-5F  
8122-5F  
7377-5F

発明の数 1  
審査請求 未請求

(全 4 頁)

⑭ 半導体装置の製造方法

川崎市幸区小向東芝町1 東京芝  
浦電気株式会社総合研究所内

⑮ 特 願 昭56-153742

⑯ 発 明 者 吉井新太郎

⑰ 出 願 昭56(1981)9月30日

川崎市幸区小向東芝町1 東京芝  
浦電気株式会社総合研究所内

⑱ 発 明 者 柴田健二  
川崎市幸区小向東芝町1 東京芝  
浦電気株式会社総合研究所内

⑲ 出 願 人 東京芝浦電気株式会社  
川崎市幸区堀川町72番地

⑳ 発 明 者 井上知泰

㉑ 代 理 人 弁理士 則近憲佑 外1名

明 細 書

1. 発明の名称 半導体装置の製造方法

2. 特許請求の範囲

- (1) 絶縁性基体上に多結晶または非晶質半導体層を被覆し、この半導体層にエネルギービームを連続的に走査しながら照射してアニールを施して粗大粒の多結晶または単結晶とした半導体層を得、この半導体層に所望の素子を形成することを特徴とする半導体装置の製造方法。
- (2) エネルギービームの走査方法は第1段階(Aモード)として一方向(X軸の正方向)にのみ走査しながらそれとは直角方向(Y軸の正方向)に一定の間隔ステップで行送りしながら行ない、次に第2段階(Bモード)としてY軸の正方向にのみ走査しながらX軸の正方向に一定の間隔ステップで行送りしながら行ない、以下A,Bモードを交互にくりかえしながら行なうか、あるいは、ある一点Pを起点とし、この点を中心にならせん状に走査するものである前記特許請求の範囲第1項記載の半導体装置の製造方法。

(3) 絶縁性基体は、所望の素子が形成された半導体基板の表面を絶縁膜でおおつたものである前記特許請求の範囲第1項記載の半導体装置の製造方法。

(4) エネルギービームはレーザービームまたは電子ビームである特許請求の範囲第1項記載の半導体装置の製造方法。

3. 発明の詳細な説明

本発明は半導体装置の製造方法に係り、特に絶縁性基体上に粗大粒化または単結晶化した半導体層を形成する手段を改良した半導体装置の製造方法に関する。

周知の如く、半導体基板上(以下シリコン基板を用いる)に素子を形成する半導体装置においては、酸化、拡散、イオン注入、写真蝕刻など公知の技術を用いて、シリコン基板上に平面的(二次元的)に素子を配列するが通常で、二層以上の多層に素子を形成することはほとんどなかった。そのため従来よりも素子を微細化して、半導体装置を高集積化、高速化するためには限界があり、こ

の境界を超える手段として、多層に素子を形成する、いわゆる三次元半導体装置が提案され、これを実現するために、絶縁性基体上の多結晶または非晶質半導体層にエネルギービームを照射して粗大粒の多結晶または単結晶半導体層（以下シリコン層を用いる）を形成する方法が提案されている。例えば、シリコン基板を $\text{SiO}_2$ または $\text{SiN}$ 等の絶縁膜でおおつてその上に多結晶シリコン層を被覆し、これを連続ビームのレーザー光または電子線により照射アニールすることにより単結晶シリコン層となし、該層中に素子を形成することにより、三次元半導体装置を製造することができる。しかし従来の方法では、直径 $20\mu\text{m}$ 以上の粗大粒多結晶シリコンや単結晶シリコン層を得ることはきわめてむずかしく、また実現した単結晶中には多数の転位、双晶、微層欠陥、等が含まれ、シリコン層の結晶性はきわめて悪いものであつた。またそのシリコン層の表面には、かなり大きな凹凸がで、そのため該層中に素子を作る際にはリソグラフィ上多くの難点があり、出来上がった素子の特性

は908（サファイア基板上のシリコン層）に形成されたものより悪いものであつた。

本発明はこのような点に照みてなされたもので、絶縁性基体上に粗大粒の多結晶または単結晶とした良質の半導体層を形成して、素子の三次元的集積化を実用上十分な特性をもたせて実現することを可能とした半導体装置の製造方法を提供するものである。

即ち本発明においては、絶縁性基体上に多結晶あるいは非晶質シリコン層を被覆し、これを新しく発見された結晶粒成長のメカニズムを考慮してエネルギービームを連続的に走査しながら照射してアニールすることにより、従来より半導体層の単結晶化の確率を著しく向上させ、該半導体層の結晶性をよくし、該層中に作られた素子の特性を飛躍的に向上せしめることを特徴としている。

以下、本発明の効果を実施例を用いて詳しく説明する。

第1図(a)~(d)は一実施例の製造工程を示す断面図である。

まず第1図(a)で示すように、たとえばP型(100)面方位の単結晶シリコン基板101の表面に絶縁膜として約 $1\mu\text{m}$ の $\text{SiO}_2$ 膜102を形成する。その上に $\text{SiN}$ 膜103を形成する。この $\text{SiN}$ 膜は後の工程で多結晶あるいは非晶質シリコン層を単結晶化させやすくするために形成するものである。またシリコン基板101は既に所望の素子が周知の工程を経て形成されているとする。次に第1図(b)で示すように、 $\text{SiN}$ 膜103の表面にたとえば $5000\text{\AA}$ の多結晶シリコン層104を被覆する。次に第1図(c)で示すようにエネルギービームを上部から照射して上記シリコン層104をアニールする。実施例では連続電子ビームを用い、アニール条件としては電子線の加速電圧10kV、シリコン基板に到達するビーム強度としては $1.0\text{A}$ とした。またビームスポット径は $1\text{mm}$ であり、 $100\text{cm}^2/\text{sec}$ の走査速度で以下のようモードで走査した。さらに電子ビームアニールの際の基板温度は $350^\circ\text{C}$ 、真空度は $10^{-6}\text{Torr}$ 以上とした。

本発明における最も重要な点はエネルギービー

ムの走査方法である。従来の方法によれば、ビームアニール時には(a)、直径 $5\sim 10\mu\text{m}$ の結晶粒がビームの走査方向に並んだような粗大粒多結晶シリコン層が、あるいは(b)、巾 $2\sim 10\mu\text{m}$ 長さ数十〜数百ミクロンに及び細長い結晶粒成長が見られ、単結晶シリコン層が得られるのはまれであつた。本発明における走査方法では、これらの従来方法を改良したもので、その第1の方法は(c)のように強く成長した多結晶シリコン層を、90度回転してエネルギービームを走査することにより得られる。すなわち、第2段階(Aモード)のアニールとして第2図(a)で示すようにシリコン基板の一方向、たとえばX軸の正方向にのみ電子ビームを走査しながら、それとは垂直方向、すなわちY軸の正方向に一定の間隔ステップで行送りしながら行ない、次に第2段階(Bモード)として同一部分を第2図(b)で示すようにY軸の正方向にのみ走査しながらX軸の正方向に一定の間隔ステップで行送りしながら行ない、以下第3段階以降はA,Bモードを交互にくりかえし同一部分を連続的にアニールす

るものである。このような走査方法にて実質的に半結晶並みと言える数ミリから数センチメートル程度の超絶大数多結晶シリコン層を再現性よく得ることができた。

本発明の第2の方法は第3図に示すようにある点Pを起点とし、この点を中心になんかに走査するもので、電子ビームの走査と共に結晶粒径が順次大きくなり、やはり超絶大数シリコン層を得ることができた。第1、第2いずれの走査方法においても本発明の効果は十分であるが、エネルギービームを走査する点からすれば第1の方法の方が簡単である。本発明の効果はビームとシリコン基板の相対位置を変えればよいためビームを固定してシリコン基板を動かすかあるいは両者を動かすことも可能である。たとえばシリコン基板を同心円運動させながら電子ビームを平行運動させることにより、実質的には、ビームをらせん的に走査することができる。このような方法をとれば第2の方法が通している。このようにエネルギービームとシリコン基板の両者の動きを最も都合よく

特開昭58-56316(3)

工夫することにより、第1、第2の走査方法とも十分にその効果を発揮させることができる。

次に第1図(向)で示すように、電子ビームアニールによつて半結晶化したシリコン層104'をパターンニングして素子形成領域とし、その後公知の技術にて素子間分離絶縁膜105を形成し、素子領域にゲート酸化膜106を介して例えば多結晶シリコンからなるゲート電極107を形成し、ソース・ドレイン領域108,109を形成してMOSトランジスタとする。次に第1図(向)で示すように全面を絶縁膜110でおおった後、 $\Lambda$ による電極111~113を形成して三次元に集積した半導体装置を完成する。

なお、上記実施例ではMOSトランジスタについて説明したが、本発明によるシリコン層にはC-MOSトランジスタ、バイポーラトランジスタ、ダイオードなどあらゆる素子を形成できることはいふまでもなく、本発明の効果を用いて、これらの素子を三次元的に配列することにより、従来より高集積、高性能、多機能な四次元集積回路装置を実現することが可能となった。

本発明の効果はシリコン以外の半導体たとえばゲルマニウムや、GaAs, GaPなどの三-五族化合物半導体、InP, InSbなどの二-五族化合物半導体においても期待でき、これらを組合せることにより、一チップに従来の記憶回路、論理回路と共に表示、感知機能などを同時に備えた多機能素子を作りあげることができる。また本実施例の第1図(向)の工程で用いたエネルギービームは電子ビームの他にレーザービーム、紫外線および太陽光などの可視光なども考えられる。また第1図(向)工程における $\Lambda$ による電極は他の金属でもかまわない。その他この発明の主旨を逸脱しない限り種々の応用例が期待できる。

#### 4. 図面の簡単な説明

第1図(a)~(e)はこの発明の一実施例の製造工程を示す断面図、第2図(a)(b)及び第3図は本発明のエネルギービームの走査方法を示す図である。

図に於いて、

101…半結晶シリコン基板      102…SiO<sub>2</sub>膜  
103…SiN膜      104…多結晶シリコン層

104'…半結晶化したシリコン層

105…絶縁膜

106…ゲート酸化膜

107…ゲート電極

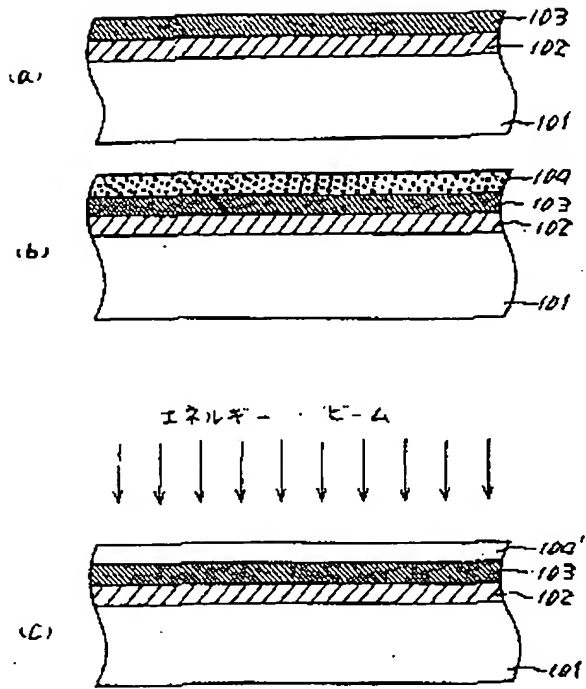
108,109…ソース、ドレイン領域

110…絶縁膜

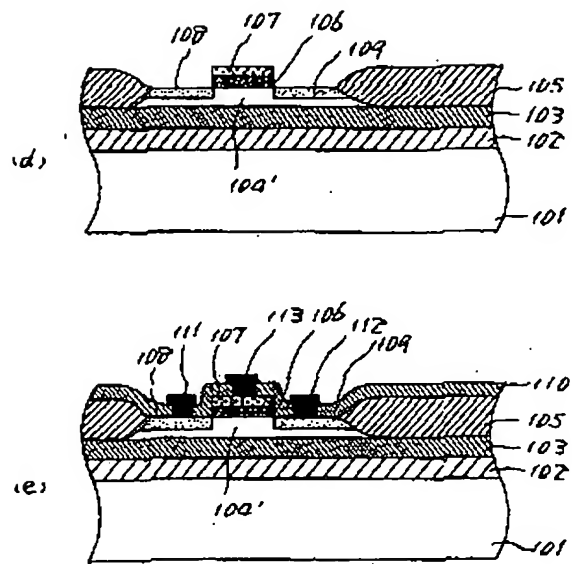
111-113… $\Lambda$ 電極。

代理人 井國士      郎 近 原 佑      他1名

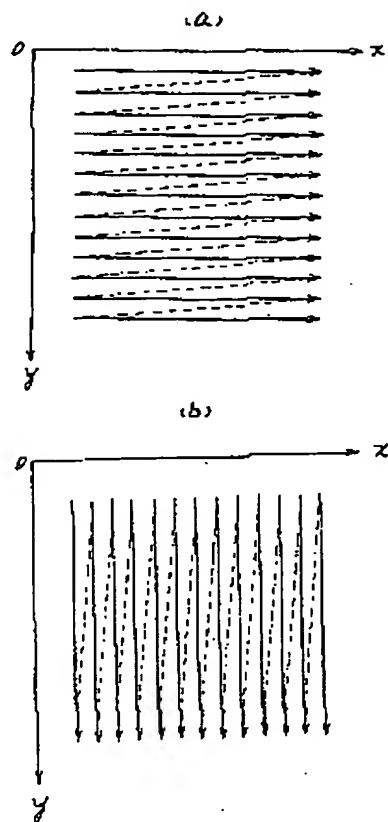
第 1 図



第 1 図



第 2 図



第 3 図

